



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05322988

(43)Date of publication of application: 07.12.1993

(51)Int.Cl.

G01R 31/28

(21)Application number: 04170055

(71)Applicant:

SONY CORP

(22)Date of filing: 18.05.1992

(72)Inventor:

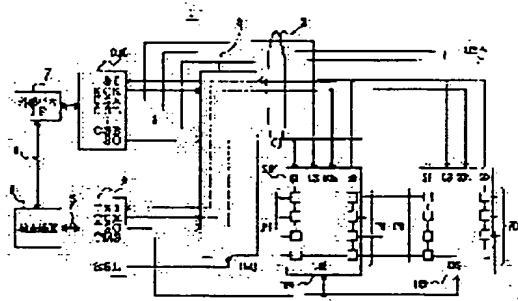
OKUMOTO KOJI  
MATSUNO KATSUMI  
SHIONO TORU  
SHIMADA KEIICHIRO

(54) INSPECTION METHOD FOR ELECTRONIC DEVICE

(57)Abstract:

**PURPOSE:** To reduce the number of terminals in a special external terminal part in inspecting an integrated circuit constituting the electronic device by using a boundary scan method.

**CONSTITUTION:** An inspection device 6 sets a microcomputer COM in boundary scan mode by way of external buss interface 7 and then transmits a command directing an integrated circuit IC1. The microcomputer COM selects an integrated circuit IC1 by setting a tip select terminal CSA at 'H' level. The inspection device 6 then transmits the test data to the integrated circuit IC1 by way of an external terminal part 4 and receives the data transmitted by an integrated circuit IC2 in response to the transmission of the test data and inspects the received test data.



### LEGAL STATUS

[Date of request for examination]

09.04.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Japanese Publication for Unexamined Patent Application  
No. 322988/1993 (Tokukaihei 5-322988)

A. Relevance of the Above-identified Document

This document has relevance to claims 1, 3, and 5 through 7 of the present application.

B. Translation of the Relevant Passages of the Document

[PRIOR ART]

There has been proposed a testing method called Boundary-Scan ("B/S" hereinafter) (IEEE Std 1149.1-1990).

The test interface TIF includes a test serial input terminal TSI for serially and externally inputting test data, test serial output terminal TSO for serially outputting inputted test data, test clock input terminal TCK for inputting test data processing clock, and test mode select terminal TMS for inputting commands for setting a test mode for the integrated circuit IC11.

Fig. 9 is a block diagram showing one example of a structure of a B/S cell, in which (a) is an input cell which is equivalent to B/S cells BC1 to BC4 shown in Fig. 8, and (b) is an output cell which is equivalent to B/S cells BC5 to BC8 shown in Fig. 8. In Fig. 9(a),

data inputted from input terminal Pli (i is an integer of 1 to 4 in Fig. 8) is sent to a function logic (FLG) and to a first input of the multiplexer MUX. To the second input of the multiplexer MUX is inputted output data of the preceding stage (input data to the test serial input terminal TSI when the B/S cell corresponds to BC1, or output data of BC1 to BC3 when the B/S cell corresponds to BC2 to BC4, respectively. When a test mode is set for the multiplexer MUX, data from the input terminal Pli is taken in and outputted to a D-flip-flop D-FF, and when "SHIFT DR" is inputted, data from the preceding stage is outputted to the D-flip-flop D-FF. When a clock signal CLOCK DR is sent to the D-flip-flop D-FF in this state, the output of the D-flip-flop D-FF is transferred to the B/S cell of the following stage.

Then, in Fig. 9(b), data inputted from the function logic (FLG) is inputted to the first input of the multiplexer MUX. Also, data inputted from the boundary scan cell of the preceding stage is inputted to the second input of the multiplexer MUX via the D-flip-flop D-FF. When a test mode is set for the multiplexer MUX, the output of the D-flip-flop D-FF is sent to the output terminal POj (j is an integer of 5 to 8 in Fig. 8), and in a normal mode, the data

inputted from the function logic (FLG) is sent to the output terminal POj. The output of the D-flip-flop D-FF is also outputted to the following stage (test serial output terminal TSO when the B/S cell corresponds to BC8, or to B/S cells BC6 to BC8 when it corresponds to BC5 to BC7.

Note that, though not shown, the integrated circuit IC11 of Fig. 8 is provided with a circuit which generates and sends "SHIFT DR" and clock signal CLOCK DR, etc., to each B/S cell, and a normal signal processing circuit which processes data inputted from the serial interface SIF in a normal mode so as to set a mode of the function logic FLG and a parameter, etc.

The integrated circuit IC11 having the foregoing structure performs the following operations in a test mode:

- (1) temporarily stores serial data of 4-bits inputted from the test serial input terminal TSI in B/S cells BC1 to BC4, and transfers the serial data thus stored to the B/S cells BC5 to BC8 based on the clock signal CLOCK DR and outputs it from the test serial output terminal TSO.

- (2) temporarily stores data of 4-bits which were inputted in parallel from input terminals PI1 to PI4 in B/S cells BC1 to BC4, and transfers the data thus

stored to B/S cells BC5 to BC8 based on DR and outputs it as serial data via the test serial output terminal TSO.

(3) temporarily stores serial data of 4-bits inputted from the test serial input terminal TSI in B/S cells BC1 to BC4, and transfers the serial data thus stored to B/S cells BC5 to BC8 based on DR and outputs it as parallel data respectively from corresponding output terminals PO5 to PO8.

In this manner, integrated circuits IC12 to IC14 having the same structure as that of the integrated circuit IC11 including the test interface TIF and B/S cells BC1 to BC8 are connected to one another as shown in Fig. 10, and test data TD, which is test serial data of 4-bits, is inputted to the test serial input terminal TSI of the first integrated circuit IC11. The test data TD is stored in the B/S cells BC5 to BC8 which are provided on the side of the parallel output terminal PO of the integrated circuit IC11 shown in Fig. 8, and outputted to input terminal PI of the second integrated circuit IC12 following the parallel output terminal PO.

The test data TD inputted to the parallel input terminal PI of the second integrated circuit IC12 is stored in B/S cells (as in B/S cells BC1 to BC4 of Fig.

8), and is transferred to the B/S cells (as in B/S cells BC5 to BC8 in Fig. 8) which correspond to the parallel output terminal PO of the integrated circuit IC12, and is outputted from the test serial output terminal TSO. In the same manner, the same input and output are made through test serial input terminal TSI and test serial output terminal TSO of each of the integrated circuits IC13 and IC14.

In this manner, the test data TD is outputted via parallel signal lines between parallel input terminal PI of the integrated circuit IC11 and parallel output terminal PO of the integrated circuit IC12. Thus, for example, in the case where "1111" is inputted as the test data TD, when there is breakage or connection failure of the parallel signal lines between the parallel output terminal PO of the integrated circuit IC11 and parallel input terminal PI of the integrated circuit IC12, in the serial data outputted from the test serial output terminal TSO of the second integrated circuit IC12, only the data which corresponds to the failure portion becomes "0" and data, for example, such as "1011" is outputted.

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-322988

(43)公開日 平成5年(1993)12月7日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

6912-2G

G 0 1 R 31/ 28

V

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号

特願平4-170055

(22)出願日

平成4年(1992)5月18日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 奥本 浩司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 松野 克巳

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 塩野 徹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 高橋 光男

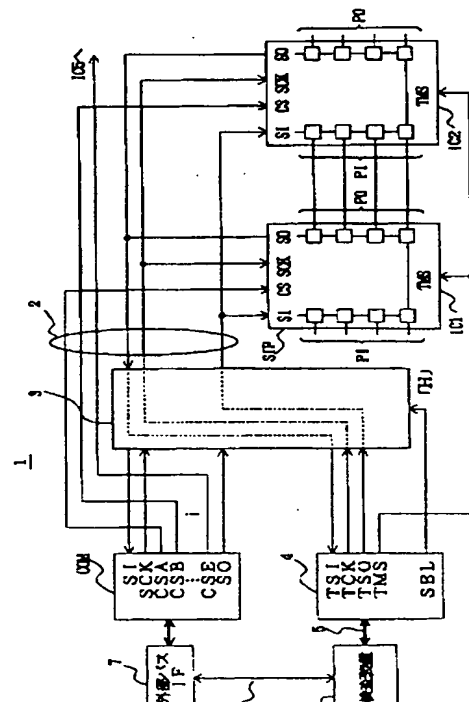
最終頁に続く

(54)【発明の名称】 電子装置の検査方法

(57)【要約】

【目的】 バウンダリスキャン方式を用いて電子装置を構成する集積回路を検査する際に、専用の外部端子部の端子数を削減する。

【構成】 検査装置6は外部バスインタフェース7を介してマイコンCOMをバウンダリスキャンモードにした後、集積回路IC1を指定するコマンドを送信する。マイコンCOMはチップセレクト端子CSAを「H」レベルにして集積回路IC1を選択する。検査装置6は外部端子部4を介して集積回路IC1にテストデータを送信し、集積回路IC2からテストデータの送信に対応して送出されたデータを受信して検査する。



## 【特許請求の範囲】

【請求項1】 マイクロコンピュータと、該マイクロコンピュータと内部通信バスを介してデータの送受信を行う複数の集積回路と、該内部通信バスの外部端子部と、該マイクロコンピュータの外部バスインタフェースとを備えた電子装置における前記複数の集積回路の入出力端子の接続状態をバウンダリスキャン方式を用いて検査する方法において、(a) 検査装置が前記外部バスインタフェースを介して前記マイクロコンピュータに対してテストモードの設定を指令するコマンド及び集積回路を指定するコマンドを送信し、前記マイクロコンピュータが指定された集積回路を選択するステップと、(b) 前記検査装置が前記外部端子部を介して前記指定された集積回路にテストデータを送信し、該集積回路に接続された集積回路から該テストデータの送信に対応して出力されたデータを受信して検査するステップとを有することを特徴とする電子装置の検査方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、電子装置を構成する複数の集積回路の入出力端子の接続状態を検査する技術に関するものである。

## 【0002】

【従来の技術】 従来、集積回路には図5に示すようにデータの平行入力端子PI及び平行出力端子POが設けられており、さらにマイクロコンピュータ又は他のICとの間でシリアル通信を行うためのシリアルインタフェースSIFが設けられている。このシリアルインタフェースSIFにおいては、データのシリアル入力端子SI、データのシリアル出力端子SO、通信用のクロック端子SCK、及び通信相手の選択用としてのチップセレクト端子CSが設けられている。なお、実際の集積回路では、平行入力端子PI及び平行出力端子POはこのように規則的に配列されているとは限らないし、集積回路によっては入出力を兼用する端子も存在する。また、平行入力端子PIを有しない集積回路もある。しかし、説明を簡単にするためにこのように記載した。

【0003】 このような構成の集積回路を複数接続する場合、図6に示すように第1の集積回路ICAの平行出力端子POを第2の集積回路ICBの平行入力端子PIに接続すると共に、シリアルインタフェースSIFのシリアル入力端子SI、シリアル出力端子SO及びクロック端子SCKを各集積回路ICA及びICBに対して共通に接続する。また、各集積回路ICA及びICBのチップセレクト端子CSは制御用のマイクロコンピュータ（以下、マイコンという）COMからそれぞれ別々に接続され、通信する相手をチップセレクト端子CSで選択することにより、時分割通信を行うように構成される。

【0004】 ところで、この種の集積回路を接続してデータの送受信を行う場合、各集積回路の平行入力端子PI、平行出力端子POがそれぞれ確実に接続されているか否かを検査する必要がある。特に、限られた面積の基板上に多数の集積回路を高密度で配置する場合、配線処理が複雑になることにより、配線の接続状態を確実に検査することが一段と困難化するという問題点があった。

【0005】 この問題点を解決するための一つの方法として、いわゆるバウンダリスキャン（Boundary Scan：以下、B/Sという）と呼ばれる検査方法が考えられている（IEEE Std 1149.1-1990）。すなわち、図7に示すようにこの種の集積回路IC11は、データの平行入力端子PI及び平行出力端子POとシリアル通信を行うためのシリアルインタフェースSIFとを有する構成に加えてバウンダリスキャン用のテストインタフェースTIFを備えている。

【0006】 このテストインタフェースTIFは外部からテストデータをシリアルで入力するテストシリアル入力端子TSIと、入力されたテストデータをシリアルで出力するテストシリアル出力端子TSOと、テストデータ処理用のクロックを入力するテストクロック入力端子TCKと、集積回路IC11をテストモードに設定する指令を入力するためのテストモードセレクト端子TMSとを有する。

【0007】 この集積回路IC11の内部は図8に示すように、平行入力端子PI及び所定のデータ処理を実行するファンクションロジック（FLG）の間に、平行入力端子PIの各入力端子PI1～PI4に対応してB/SセルBC1～BC4が設けられている。また、平行出力端子PO及び所定のデータ処理を実行するファンクションロジック（FLG）の間に、平行出力端子POの各出力端子PO5～PO8に対応してB/SセルBC5～BC8が設けられている。なお、テストクロック入力端子TCK及びテストモードセレクト端子TMSは省略した。

【0008】 図9はB/Sセルの構成の1例を示すブロック図で、(a)は図8のB/SセルBC1～BC4に相当する入力セル、(b)は図8のB/SセルBC5～BC8に相当する出力セルである。図9(a)において、入力端子PIi（図8ではiは1から4までの整数）から入力されたデータはファンクションロジック（FLG）とマルチプレクサMUXの第1入力に送出される。マルチプレクサMUXの第2入力には前段の出力データ（このB/SセルがBC1に相当する場合は、テストシリアル入力端子TSIへの入力データ、BC2～BC4に相当する場合はそれぞれBC1～BC3の出力データ）が入力されている。そして、マルチプレクサMUXはテストモードに設定された時に入力端子PIiから



らのデータを取り込んでDフリップフロップD-FFに出力し、さらに「SHIFT DR」が入力された場合には前段からのデータをDフリップフロップD-FFに出力する。そして、この状態でDフリップフロップD-FFにクロック信号CLOCK DRを送出すると、DフリップフロップD-FFの出力が次段のB/Sセルに転送される。

【0009】次に、図9(b)において、ファンクションロジック(FLG)から入力されたデータはマルチプレクサMUXの第1入力に輸入される。また、前段のバウンダリスキャンセルから入力されたデータはDフリップフロップD-FFを介してマルチプレクサMUXの第2入力に輸入される。マルチプレクサMUXはテストモードに設定された時にDフリップフロップD-FFの出力を出力端子POj(図8ではjは5から8までの整数)に送出し、通常モードではファンクションロジック(FLG)から入力されたデータを出力端子POjに送出する。DフリップフロップD-FFの出力は次段(このB/SセルがBC8に相当する場合は、テストシリアル出力端子TSO、BC5~BC7に相当する場合はB/SセルBC6~BC8)にも出力される。

【0010】なお、図示されていないが、図8の集積回路IC11には「SHIFT DR」やクロック信号CLOCK DRを発生して各B/Sセルに送出する回路及び通常モード時にシリアルインタフェースSIFから入力されたデータを処理してファンクションロジックFLGのモード設定、パラメータ設定等を行う通常信号処理回路が設けられている。

【0011】以上のように構成された集積回路IC11はテストモード時に以下の各動作を行う。

(1) テストシリアル入力端子TSIから入力された4ビットのシリアルデータをB/SセルBC1~BC4に一旦格納した後、クロック信号CLOCK DRに基づいてB/SセルBC5~BC8に転送し、さらにテストシリアル出力端子TSOから出力する。

(2) 入力端子PI1~PI4をからパラレルに輸入された4ビットのデータをB/SセルBC1~BC4に一旦格納した後、クロック信号CLOCK DRに基づいてB/SセルBC5~BC8に転送し、テストシリアル出力端子TSOを介してシリアルデータとして出力する。

(3) テストシリアル入力端子TSIから入力された4ビットのシリアルデータをB/SセルBC1~BC4に一旦格納した後、クロック信号CLOCK DRに基づいてB/SセルBC5~BC8に転送し、さらにそれぞれ対応した出力端子PO5~PO8からパラレルデータとして出力する。

【0012】このように、テストインタフェースTIF及びB/SセルBC1~BC8を有する集積回路IC11と同様な構成の集積回路IC12~IC14をそれぞれ

図10に示すように接続し、第1の集積回路IC11のテストシリアル入力端子TSIにテスト用の4ビットのシリアルデータであるテストデータTDを入力する。このテストデータTDは、図8に示されている集積回路IC11のパラレル出力端子PO側に設けられたB/SセルBC5~BC8に格納され、さらにパラレル出力端子POからそれぞれ続く第2の集積回路IC12の入力端子PIに出力される。

【0013】第2の集積回路IC12のパラレル入力端子PIに輸入されたテストデータTDは、第2の集積回路IC12のパラレル入力端子PIに対応して設けられたB/Sセル(図8のB/SセルBC1~BC4と同様)に格納され、さらに集積回路IC12のパラレル出力端子POに対応したB/Sセル(図8のB/SセルBC5~BC8と同様)に転送され、テストシリアル出力端子TSOから出力される。以下、同様に集積回路IC13及びIC14においても、それぞれのテストシリアル入力端子TSI及びテストシリアル出力端子TSOを介して入出力される。

【0014】このようにして集積回路IC11のパラレル入力端子PI及び集積回路IC12のパラレル出力端子PO間のパラレル信号線を介してテストデータTDが出力されることにより、例えばテストデータTDとして「1111」が入力された場合、集積回路IC11のパラレル出力端子PO及び集積回路IC12のパラレル入力端子PI間のパラレル信号線に断線又は接続不良等があれば、第2の集積回路IC12のテストシリアル出力端子TSOから出力されるシリアルデータは、不良箇所に対応したデータだけが「0」となり、例えば「1011」等のようなデータとなって出力される。

【0015】したがって、この出力データに基づいて第1の集積回路IC11及び第2の集積回路IC12の結線状態を検査することができる。なお、実際の集積回路では、例えば、IC11とIC13も接続されていたり、IC12の出力がIC11に輸入されている場合もあるが、ここでは説明を簡単にするために、規則的に接続されている場合を示した。

【0016】図11は従来の電子装置検査システムの構成を示すブロック図である。ここで、図7及び図8との対応部分に同一の符号を付してある。カメラ一体型VTR等の電子装置20は1つの基板上に2つの集積回路IC21及びIC22が設けられており、集積回路IC21のパラレル出力端子PO及び集積回路IC22のパラレル入力端子PIがそれぞれ接続され、2個の集積回路IC21及びIC22間でデータを送受信するように構成されている。また、集積回路IC21及びIC22のそれぞれのシリアルインタフェースSIFはセクタ23、内部通信バス24を介してマイコンCOMに接続されており、マイコンCOMと集積回路IC21、IC22間でシリアル通信を行うように構成されている。

【0017】以上のように構成された電子装置20において、セレクト23には外部端子部25が接続されており、そのセレクト端子SELが「H」レベルに制御されたとき、セレクト23は図11に破線で示すようにマイコンCOMから外部端子部25側に切り替わるように構成されている。また、外部端子部25には第1の双方向通信バス26を介して検査装置27が接続されており、検査装置27が外部端子部25に対して各種制御データの送信を行い、かつ、外部端子部25を介して電子装置20の内部通信バス24に対して直接テストデータの送受信を行うように構成されている。

【0018】さらに、マイコンCOMには外部バスインタフェース28が接続されており、外部バスインタフェース28には外部通信バス（第2の双方向通信バス）29を介して検査装置27が接続されている。外部通信バス29は、従来、電子装置20のリモコン制御、集積回路IC21及びIC22のモード設定、パラメータ設定等に用いるデータの送受信に用いられていたもので、ここでは検査装置27がマイコンCOMにテストを行うことを知らせるために用いている。この外部バスインタフェース28及び外部通信バス29としては、例えば、本出願人の提案したLANC（Local Application Control Bus System：登録商標）と呼ばれるものがある。LANCの詳細については、例えば、特開昭61-147687号公報に記載されているので、ここでは説明しない。

【0019】図11において、検査装置27により外部端子部25のセレクト端子SELが「H」レベルに制御されたとき、セレクト23は破線で示すようにマイコンCOMから外部端子部25側に切り替わる。この状態においては、外部端子部25のテストシリアル出力端子TSO、テストシリアル入力端子TSI及びテストクロック端子TCKが集積回路IC21及びIC22のそれぞれのシリアルインタフェースSIFのシリアル入力端子SI、シリアル出力端子SO及びクロック入力端子CLKに接続される。

【0020】また、この時、外部端子部25のチップセレクト端子CSAは集積回路IC21のチップセレクト端子CSに接続され、さらに外部端子部25のチップセレクト端子CSBは集積回路IC22のチップセレクト端子CSに接続される。これら2つのチップセレクト端子CSA及びCSBを用いて集積回路IC21及びIC22を別々に動作させることにより、シリアルインタフェースに接続される内部通信バス24において、集積回路IC21及びIC22のそれぞれのシリアル出力端子SOからのデータが同時に出力されないように構成されている。

【0021】ここで、外部端子部25のテストモードセレクト端子TMSは集積回路IC21及びIC22のテストモードセレクト端子TMSに接続されており、テ

ストモードセレクト端子TMSの論理レベルに応じて集積回路IC21及びIC22をテストモードに設定するように構成されている。このテストモードにおいては、集積回路IC21のシリアル入力端子SIに入力されたテストデータはB/SセルBC1~BC4（図示せず）からB/SセルBC5~BC8に転送され、パラレル出力端子POから集積回路IC22のパラレル入力端子PIに送出される。そして、集積回路IC22のパラレル入力端子PIに入力されたテストデータはB/SセルBC1~BC4からB/SセルBC5~BC8（図示せず）に転送され、シリアル出力端子SOから出力するように構成されている。

【0022】この検査システムでは、集積回路IC21及びIC22にテストインタフェースTIFを設けず、シリアルインタフェースSIFからテストデータを入力する。そのため、通常モード時にシリアルインタフェースSIFから入力されたデータを通常信号処理回路に送出し、テストモード時にシリアルインタフェースSIFから入力されたデータをB/Sセルに送出するためのスイッチング回路が必要であるが、テストインタフェースTIFが省略されているので、集積回路の構成が簡略化されている。

【0023】

【発明が解決しようとする課題】しかしながら、前記従来の電子装置検査システムでは、検査装置から外部端子部のチップセレクト端子にチップセレクト信号を供給し、それを内部通信バスを介して集積回路のチップセレクト端子に入力するように構成しているため、外部端子部に集積回路の数分のチップセレクト端子が必要であり、かつ、外部端子部のチップセレクト端子と集積回路のチップセレクト端子CS間に集積回路の数分の制御線が必要であるため、接続端子数が多くなってしまうという問題点があった。

【0024】また、電子装置ごとに外部端子部を設けているため、検査対象の電子装置が多くなれば、それに比例して接続端子数も多くなってしまうという問題点があった。本発明は、前記問題点を解決して、外部端子部の接続端子数を削減した電子装置の検査方法を提供することを目的とする。

【0025】

【課題を解決するための手段】前記問題点を解決するために、本発明は、マイコンと、マイコンと内部通信バスを介してデータの送受信を行う複数の集積回路と、内部通信バスの外部端子部と、マイコンの外部バスインタフェースとを備えた電子装置における複数の集積回路の入出力端子の接続状態をB/S方式を用いて検査する方法において、検査装置が外部バスインタフェースを介してマイコンに対してテストモードの設定を指令するコマンド及び集積回路を指定するコマンドを送信し、マイコンが指定された集積回路を選択するステップと、検査装置

が外部端子部を介して指定された集積回路にテストデータを送信し、その集積回路に接続された集積回路からテストデータの送信に対応して出力されたデータを受信して検査するステップとを有するように構成した。

#### 【0026】

【作用】本発明によれば、以上のように電子装置の検査方法を構成したので、検査装置が外部バスインタフェースを介してマイコンに集積回路を選択するコマンドを送出すると、マイコンのチップセレクト端子が集積回路の選択信号を出力する。したがって、外部端子部にチップセレクト端子が不要になるので、接続端子数が減少する。

#### 【0027】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例における電子装置検査システムの構成を示すブロック図である。カメラ一体型VTR等の電子装置1は1つの基板上に複数の集積回路が設けられており、ここではIC1及びIC2のみ示してある。集積回路IC1の平行出力端子PO及び集積回路IC2の平行入力端子PIが接続され、これらのIC1及びIC2間でデータを送受信するように構成されている。

【0028】また、集積回路IC1及びIC2のそれぞれのシリアルインタフェースSIFは内部通信バス2、セクタ3を介してマイコンCOMに接続されており、マイコンCOMと集積回路IC1及びIC2間でシリアル通信を行うように構成されている。また、セクタ3には外部端子部4が接続されており、そのセレクト端子SELが「H」レベルに制御されたとき、セクタ3は図1に破線で示すようにマイコンCOMから外部端子部4側に切り替わるように構成されている。

【0029】以上のように構成された電子装置1において、外部端子部4には第1の双方向通信バス5を介して検査装置6が接続されており、検査装置6が外部端子部4を介して電子装置1の内部通信バス2に対して直接コマンドやテストデータの送受信を行うように構成されている。また、マイコンCOMは外部バスインタフェース7及び外部通信バス（第2の双方向通信バス）8を介して検査装置6に接続されている。外部バスインタフェース7及び外部通信バス8は従来例において説明したLANC等、電子装置1のリモコン制御、集積回路IC1及びIC2のモード設定、パラメータ設定等に用いられているもので、ここでは検査装置6がマイコンCOMにテストデータの送受信、コマンドの送信等を行う。

【0030】図2は本発明の実施例における検査手順のフロー図、図3及び図4は図2の各ステップにおける集積回路の状態を示す説明図である。ここで、図3の集積回路IC1及びIC2のB/Sセルの配置は図1と同じである。以下、図1～図4を参照しながら、本実施例の検査手順について説明する。まず、検査装置6は外部通

信バス8、外部バスインタフェース7を介してマイコンCOMをB/Sモードにする。マイコンCOMはB/Sモードになると、通常動作を停止し、B/S用の動作を行う。

【0031】次に、検査装置6はマイコンCOMに集積回路IC1を選択するためのIC指定コマンドを送出する。マイコンCOMはIC指定コマンドを受信すると、それをRAM（図示せず）に格納する。そして、マイコンCOMはRAMに格納したIC指定コマンドを読み出し、そのチップセレクト端子CSAを「H」レベルとすることにより、集積回路IC1を選択する（図2のステップS1）。

【0032】また、検査装置6は第1の双方向通信バス5を介して外部端子部4のセレクト端子SELを「H」レベルとすることにより、外部端子部4の各端子を集積回路IC1及びIC2のシリアルインタフェースSIFに接続する。この時、マイコンCOMの入力端子SI、出力端子SO及びクロック端子SCKは集積回路IC1及びIC2から切り離される。この時、集積回路IC1～IC3には通常モードにおいて格納されたデータが残っている（図3（a）の\*印）。

【0033】そして、テストモードとなった集積回路IC1のシリアル入力端子SIに、クロック入力端子SCKに入力されるクロック信号に基づいてデータP1＝「11110000」を入力する。データP1は集積回路IC1の平行出力端子POにテストデータ「1111」を設定するためのデータである。この時、集積回路IC1シリアル出力端子SOからデータ「\*\*\*\*\*」が読み出され、内部通信バス2、セクタ3、外部端子部4のテスト入力端子TSI、第1の双方向通信回線5を経て検査装置6に送出される（図2のステップS2、図3（b））。このデータ「\*\*\*\*\*」は集積回路IC1の検査には使用しないので廃棄する。

【0034】集積回路IC1に入力されたデータ「11110000」は図3（b）に示すように、前半の4ビットであるテストデータ「1111」が平行出力端子POに接続されたB/SセルBC5～BC8に格納されるので、平行出力端子POにテストデータ「1111」が現れる。後半の4ビットのデータ「0000」はテストに使用しないので、これ以外の任意のパターンでよい。シリアル入力端子SIへの送出手続きが終わると、チップセレクト端子CSAを「L」レベルにする。チップセレクト端子CSAを「L」レベルとすることによって集積回路IC1をホールドモードに制御する。このモードでは集積回路IC1の状態は変化せず、平行出力端子POのデータはテストデータ「1111」を保持する。

【0035】次に、検査装置6はマイコンCOMに集積回路IC2を選択するためのIC指定コマンドを送出する。マイコンCOMはIC指定コマンドを受信すると、

図2のステップS1と同様にRAMに格納する(図2のステップS3)。次に、マイコンCOMはRAMに格納したIC指定コマンドを読み、チップセレクト端子CSBを「H」レベルとすることにより集積回路IC2を選択し、さらにテストモードセレクト端子TMSを制御することによって集積回路IC2をテストモードに制御する。そして、テストモードとなった集積回路IC2の平行入力端子PIにおいて、集積回路IC1の平行出力端子POのテストデータ「1111」を捕捉する(図2のステップS4、図4(a))。

【0036】次に、集積回路IC2のシリアル入力端子SIにデータP2＝「11110000」を入力する。データP2は集積回路IC2の平行出力端子POにテストデータ「1111」を設定するためのデータである。この時、集積回路IC2のシリアル出力端子SOからデータ「\*\*\*\*1111」が読出され、検査装置6に送出される(図2のステップS5、図4(b))。すなわち、このステップでは集積回路IC1の平行出力端子POと集積回路IC2の平行入力端子PIの接続状態を検査するデータP1の読出しと集積回路IC2の平行出力端子POと集積回路IC3の平行入力端子PIの接続状態を検査するデータP2の書込みが同時に行われる。検査装置6に送出されたデータ「\*\*\*\*1111」の後半の4ビットをB/Sデータ「11110000」の前半の4ビットと比較することにより、集積回路IC1の平行出力端子POと集積回路IC2の平行入力端子PIの接続状態を検査する。次に、チップセレクト端子CSBを「L」レベルにすることによって、集積回路IC2をホールドモードにする。

【0037】次に、検査装置6は図2のステップS3と同様に集積回路IC3(図示せず)を指定するIC指定コマンドを送出する。マイコンCOMはIC指定コマンドを受信してRAMに格納する(図2のステップS6)。次に、マイコンCOMはRAMに格納したIC指定コマンドを読み、チップセレクト端子CSBを「H」レベルとすることにより集積回路IC3を選択し、さらにテストモードセレクト端子TMSを制御することによって集積回路IC3をテストモードに制御する。そして、テストモードとなった集積回路IC3の平行入力端子PIにおいて、集積回路IC2の平行出力端子POのテストデータ「1111」を捕捉する(図2のステップS7、集積回路の状態図は省略)。

【0038】次に、集積回路IC3のシリアル入力端子SIにデータP3＝「11110000」を入力する。データP3は集積回路IC3の平行出力端子POにテストデータ「1111」を設定するためのデータである。この時、集積回路IC3のシリアル出力端子SOからデータ「\*\*\*\*1111」が読み出され、検査装置6に送出される(図2のステップS8)。

【0039】以下、IC4、IC5・・・(図示せず)と順次同様にしてテストを行う。そして、テストデータ「1111」を用いたテストが終了したら、テストデータを「0000」として上述のテストモードを繰り返す。この結果、はじめに集積回路IC1～IC5に入力したテストデータ「1111」及び「0000」と集積回路IC1～IC5のシリアル出力端子SOから出力されたデータとの比較結果を得ることができ、比較結果に差異があれば、差異のデータに対応した信号線に接続不良等の異常があることが分かる。

【0040】なお、本発明は前記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。例えば、前記実施例では外部端子部のセレクト端子SELを「H」レベルにすることにより外部端子部4と集積回路を接続し、マイコンCOMと切離しているが、マイコンCOMがB/Sモードに設定された時に、セクタ3に接続された各端子を高インピーダンス状態に設定するように構成してもよい。

【0041】

【発明の効果】以上、詳細に説明したように、本発明によれば、マイコンが集積回路を選択する信号を出力するように構成したので、外部端子部にチップセレクト端子が不要になる。したがって、外部接続端子部の接続端子数が減少するので、電子装置の基板における実装の高密度化、高信頼性化が実現できる。

【図面の簡単な説明】

【図1】本発明の実施例における電子装置検査システムの構成を示すブロック図である。

【図2】本発明の実施例における検査手順のフロー図である。

【図3】図3のステップS1～S3における集積回路の状態を示す説明図である。

【図4】図3のステップS4～S6における集積回路の状態を示す説明図である。

【図5】集積回路の構成を示す説明図である。

【図6】複数の集積回路及びマイコンの接続状態を示す接続図である。

【図7】従来のB/S用集積回路の構成を示す説明図である。

【図8】従来のB/S用集積回路の内部構成を示す説明図である。

【図9】従来のB/Sセルの構成を示すブロック図である。

【図10】複数の集積回路に対してB/Sを行う場合の説明図である。

【図11】従来の電子装置検査システムの構成を示すブロック図である。

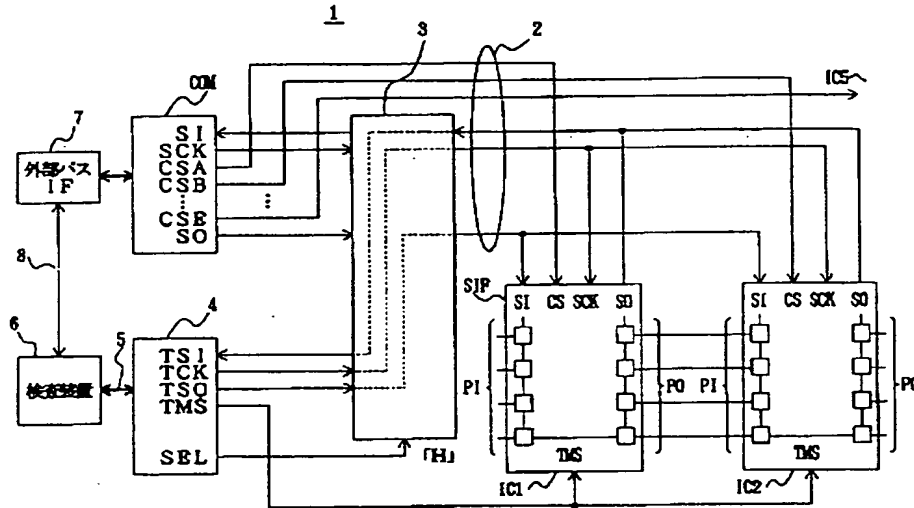
【符号の説明】

(7)

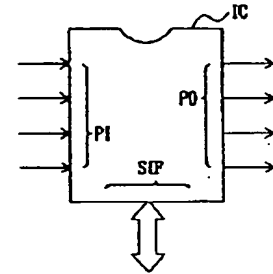
2 内部通信バス  
4 外部端子部  
5 第1の双方向通信バス  
6 検査装置

7 外部バスインタフェース  
8 外部通信バス  
COM マイコン  
IC1, IC2 集積回路

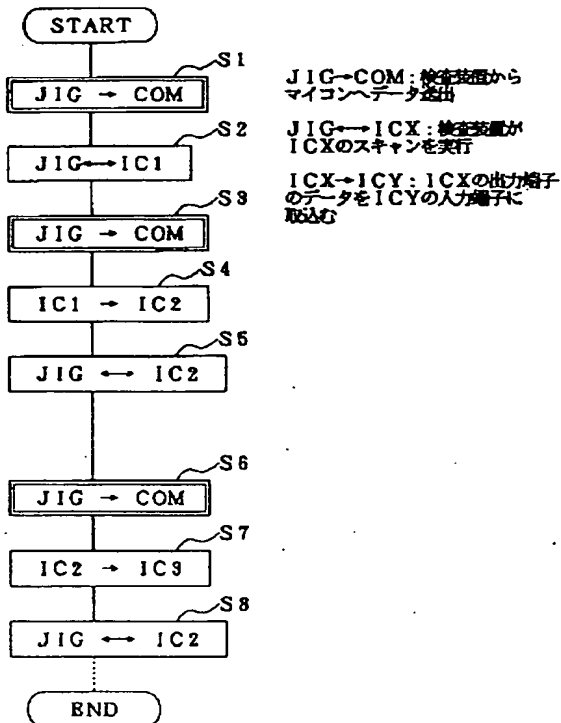
【図1】



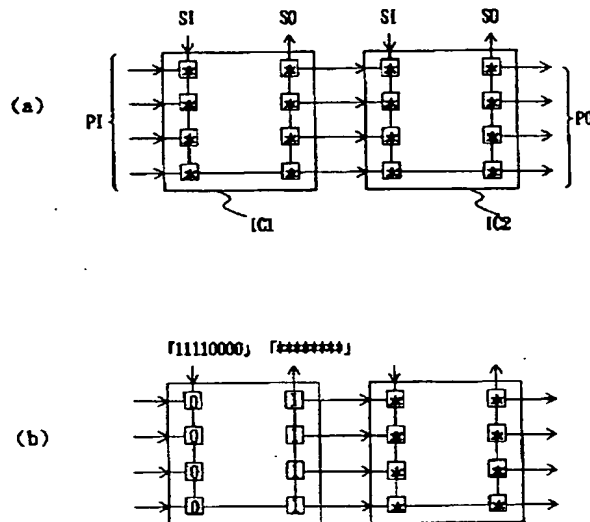
【図5】



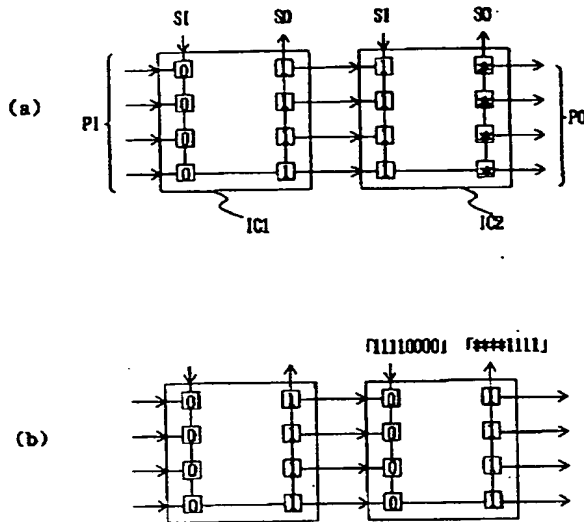
【図2】



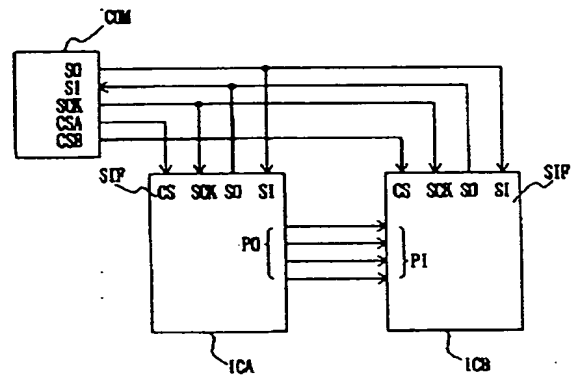
【図3】



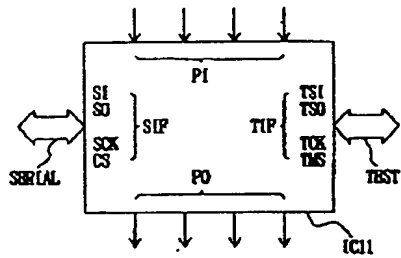
【図 4】



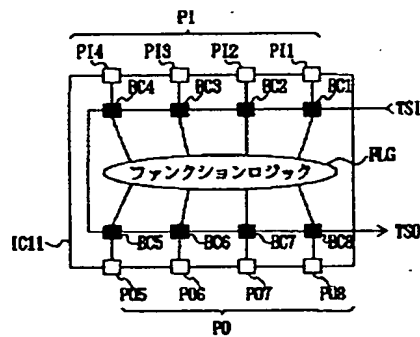
【図 6】



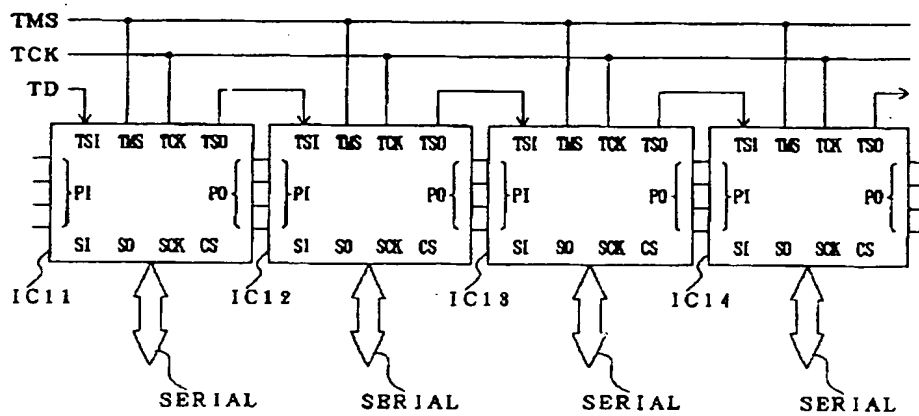
【図 7】



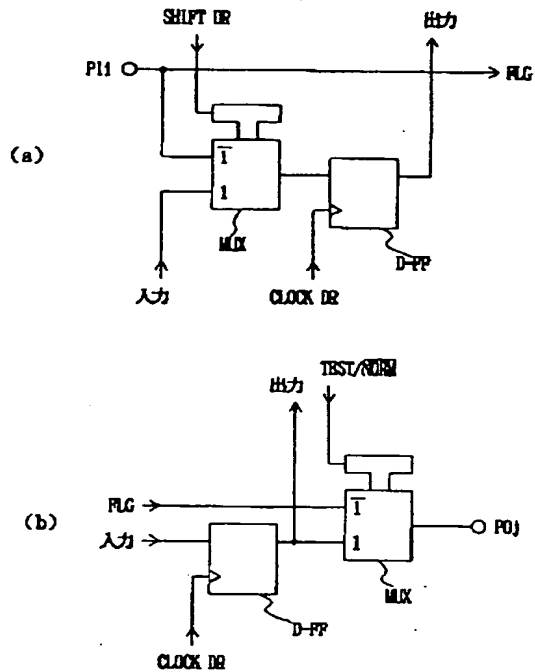
【図 8】



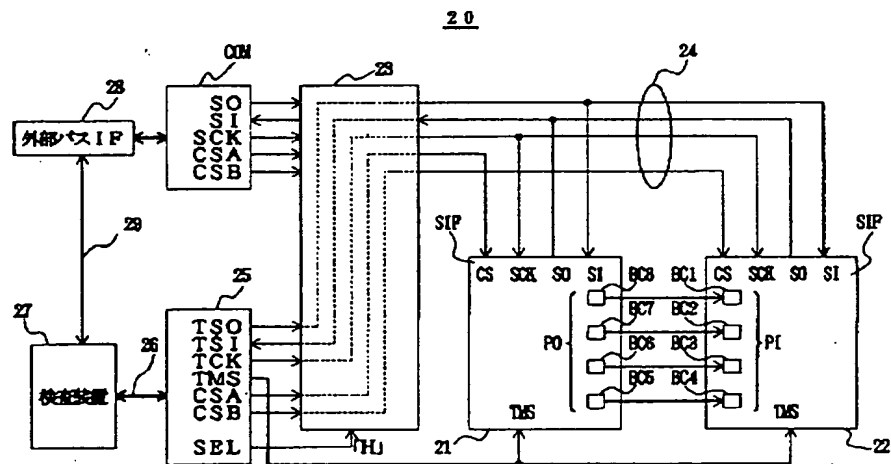
【図 10】



【図9】



【図11】



フロントページの続き

(72) 発明者 島田 啓一郎  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内